**实验06 简单组合逻辑电路设计**

|  |
| --- |
| **实验学生个人信息栏**  课序号： 04 班级： 2307 学号： 20232241110 姓名： 刘晨旭 |
| **实验06得分：**  **实验教师（签字）：** |

一、实验目的

（1）利用 Proteus 软件工具设计2输入与非门芯片74HC00的功能测试电路；

（2）利用 Proteus 软件工具设计基于基本逻辑门的一位全加器和基于2输入与非门的三人多数表决电路；

（3）利用 Proteus 软件工具设计基于74HC153的一位全加器和基于74HC151的三人多数表决电路；

（4）利用 Proteus 软件工具设计基于3-8译码器的一位全加器。

二、实验设备与器件

使用的软件为Proteus。

各个实验所用到的实验器件与其符号如下表所示：

表格 1 2输入与非门芯片74HC00的功能测试电路

|  |  |
| --- | --- |
| **器件名称** | **符号** |
| LOGICSTATE |  |
| 2N3904 NPN型三极管 | Q |
| 74HC00芯片与非门 | U1:A,B,C,D |
| 电阻 | R1、R2、R3 |
| 单刀双掷开关 | SW1 |
| LED灯 | D1、D2 |
| LOGICPROBE(BIG) |  |

表格 2 基于基本逻辑门的一位全加器和基于2输入与非门的三人多数表决电路

|  |  |
| --- | --- |
| **器件名称** | **符号** |
| LOGICSTATE |  |
| LOGICPROBE(BIG) |  |
| 74HC86芯片异或门 | U1:A,B |
| 74HC08芯片与门 | U2:A,B,C |
| 74HC32芯片或门 | U3:A,B |
| 74HC00芯片与非门 | U4:A B C |

表格 3 基于74HC153的一位全加器和基于74HC151的三人多数表决电路

|  |  |
| --- | --- |
| **器件名称** | **符号** |
| LOGICSTATE |  |
| LOGICPROBE(BIG) |  |
| 4选1数据选择器74HC153芯片 | U2 |
| 非门芯片74HC04 | U1:A,B |
| 74HC151芯片 | U3 |

表格 4 基于3-8译码器的一位全加器

|  |  |
| --- | --- |
| **器件名称** | **符号** |
| LOGICSTATE |  |
| LOGICPROBE(BIG) |  |
| 74HC138译码器芯片 | U1 |
| 与非门芯片74HC20 | U2:A,B |

三、实验操作过程及结果分析

**芯片74HC00的功能测试及电路分析**

**一、74HC00的逻辑功能**

74HC00是一款包含四个独立的2输入与非门（NAND Gate）的集成电路。其工作原理为：当输入端A和B均处于高电平（即逻辑1）时，输出端呈现低电平（即逻辑0）；而当A或B中至少有一个输入为低电平（逻辑0）时，输出端则为高电平（逻辑1）。在测试电路中，输出端通常连接至LED，以直观地显示输出状态：当输出为低电平时，LED亮起；反之，LED熄灭。

**二、电路操作与监测**

当开关SW1接至电源时，输入端A获得高电平（逻辑1），此时D1灯亮起，表示芯片输出端为低电平（逻辑0）。

若开关SW1接至地线，尽管输入端A仍为高电平（逻辑1），但此时D1灯熄灭，表明芯片输出端转为高电平（逻辑1）。

当开关SW1接至电源，输入端A为高电平（逻辑1）时，D2灯熄灭，表示芯片输出端为低电平（逻辑0）。

若开关SW1接至地线，尽管输入端A仍为高电平（逻辑1），D2灯亮起，指示芯片输出端已变为高电平（逻辑1）。

连线标号LBL在此电路中起到关键的连接作用。它确保了以开关SW1为核心部件的电路和以三极管为核心部件的电路能够正确地与以74HC00为核心的主电路相连，从而实现了对芯片74HC00输入端逻辑信号的产生和输出端逻辑电平状态的实时监测。

具体图示参考附录6.1。

**一位全加器电路**

1. **全加器的工作原理**

全加器的工作原理在电工学课本中有着详细的描述，这里不再赘述，一位全加器的逻辑表达式如下所示：

|  |  |
| --- | --- |
|  | (1) |
|  | (2) |

根据逻辑表达式我们可以很容易地进行仿真接线操作，得到附录6.2。

1. **基于74HC153设计一位全加器**

除了直接使用逻辑门来设计全加器之外我们也可以通过74HC153设计一位全加器。

我们画出一位全加器的真值表如下：

表格 5 一位全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | S | Co |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

接着写出逻辑表达式：

|  |  |
| --- | --- |
|  | (3) |
|  | (4) |

根据表达式接线得到附录6.3

1. **基于三八译码器设计一位全加器**

使用这种译码器来设计一位全加器无疑是最简单的一种方法，我们只把ABC分别接到译码器的输入端，根据表格五将对应的输出接出即可，详情见附件6.4。

**三人多数表决电路**

首先列出三人多数表决电路的真值表

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

接着写出逻辑表达式：

|  |  |
| --- | --- |
|  | (5) |

为了使得芯片的所有引脚都得到使用，我们设计如附录6.2（b）的电路，但笔者想说的是，这种接法我不认为很好，如果不是为了满足实验要求，笔者大抵不会选择这种方法。

同样的，如果我们使用74HC151来设计电路，我们只需把ABC接入芯片的输入端，接着按照真值表将待选择端正确地接上高电平，最后将输出Y接出即可，详情见附录6.3。如果使用74HC138来设计电路，则更为简单，将ABC对应接入后根据真值表将输出统一接到一个与非门那里即可，详情见附录6.4。

四、实验总结、建议和质疑

在本次实验中，我们深入学习了逻辑电路的设计。通过使用Proteus软件工具，我们成功设计了针对2输入与非门芯片74HC00的功能测试电路。此外，我们还基于基本逻辑门构建了一位全加器，利用2输入与非门实现了三人多数表决电路。

进一步地，我们基于74HC153数据选择器构建了一位全加器，并基于74HC151多路选择器实现了三人多数表决电路。最后，我们利用3-8译码器设计了一位全加器。

通过本次实验，我们不仅加深了对逻辑电路工作原理的理解，还特别熟悉了数据选择器和译码器在电路设计中的应用，为后续的逻辑电路设计和分析奠定了坚实的基础。

五、附录

附录6.12输入与非门芯片74HC00的功能测试电路

附录6.2 基于基本逻辑门的简单组合逻辑电路

附录6.3 基于数据选择器的简单组合逻辑电路

附录6.4 基于3-8译码器的简单组合逻辑电路